

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040751

(43)Date of publication of application : 08.02.2000

(51)Int. Cl.

H01L 21/8238

H01L 27/092

H01L 27/04

H01L 21/822

(21)Application number : 11-184869

(71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 30.06.1999

(72)Inventor : LEE CHANG HYUK
JEONG JAE GOAN

(30)Priority

Priority
number :

98 9825951

Priority
date :

30.06.1998

Priority
country :

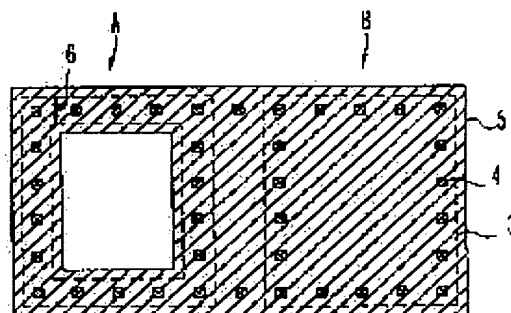
KR

(54) SEMICONDUCTOR DEVICE PROVIDED WITH ELECTROSTATIC PROTECTIVE CIRCUIT ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the resistance between two wells and to improve the characteristic of an electrostatic protective circuit, by a method wherein an N-well guard ring is formed on the circumference of an NMOS, and the N-well guard ring and the N-well of a PMOS are strapped.

SOLUTION: An N-well guard ring 6 is formed on the circumference of a pull-down driver NMOS transistor A, the N-well guard ring 6 and the N-well 3 of the N-well guard ring 6 and the N-well 3 of a pull-up driver PMOS transistor B are strapped and are trapped by a metal 5. The N-well guard ring 6 on the circumference of the pull-down driver NMOS transistor A forms an n⁺ diffused layer, and an RMOS transistor is used as a pull-down driver NMOS transistor in the case of a triple well structure. Consequently, as a PNP path is formed on the side of the PMOS transistor with V_{ss} in the positive mode, with a diode existing between V_{cc} and V_{ss} can be replaced, the layout area can be reduced, and element characteristics and reliability can be improved.



LEGAL STATUS

[Date of request for examination]

18.10.2002

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40751

(P2000-40751A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 21/8238
27/092
27/04
21/822

H 0 1 L 27/08
27/04
27/08

3 2 1 H
H
3 2 1 B

審査請求 未請求 請求項の数47 O L (全 15 頁)

(21) 出願番号 特願平11-184869

(22) 出願日 平成11年6月30日 (1999.6.30)

(31) 優先権主張番号 98-25951

(32) 優先日 平成10年6月30日 (1998.6.30)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 李 昶 赫

大韓民国 京畿道 利川市 夫鉢邑 牙美里 山148-1 現代アパートメント108棟508号

(72) 発明者 鄭 在 寛

大韓民国 京畿道 利川市 夫鉢邑 牙美里 山148-1 現代アパートメント103棟405号

(74) 代理人 100066784

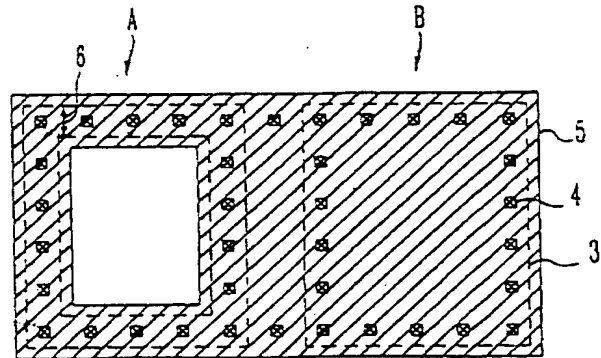
弁理士 中川 周吉 (外1名)

(54) 【発明の名称】 静電保護回路素子を備える半導体装置

(57) 【要約】

【課題】 ESD保護回路の特性を向上させるESD保護回路を備える半導体装置を提供する。

【解決手段】 本発明によるESD保護回路を備える半導体装置は、PMOSとNMOSをデータ出力ドライバのESD保護回路として用いる半導体装置において、前記NMOSの周囲にnウェルガードリングを形成し、前記nウェルガードリングと前記PMOSのnウェルをストラップすることを特徴とする。



【特許請求の範囲】

【請求項1】 PMOSTランジスタとNMOSTランジスタが静電保護回路として用いられるデータ出力ドライバを有する静電保護回路を備える半導体装置において、

前記NMOSTランジスタの周囲にnウェルガードリングが備えられ、前記nウェルガードリングと前記PMOSTランジスタのnウェルがストラップされる静電保護回路を備える半導体装置。

【請求項2】 前記nウェルガードリングはn⁺拡散層で形成されることを特徴とする請求項1記載の静電保護回路を備える半導体装置。

【請求項3】 前記PMOSTランジスタの周囲にp⁺ガードリングが形成され、前記p⁺ガードリングと前記NMOSTランジスタのp⁺ビックアップがストラップされることを特徴とする請求項1記載の静電保護回路を備える半導体装置。

【請求項4】 前記NMOSフィールドトランジスタはトリプルウェル構造の場合にRMOSフィールドトランジスタで形成されることを特徴とする請求項1記載の静電保護回路を備える半導体装置。

【請求項5】 前記nウェルガードリングと前記PMOSTランジスタのnウェルはメタルでストラップされることを特徴とする請求項1記載の静電保護回路を備える半導体装置。

【請求項6】 前記メタルは多結晶シリコン及びポリサイドとして用いられるか、或いは前記多結晶シリコン及びポリサイドをバッファとして使用した後でメタルとして用いられることを特徴とする請求項5記載の静電保護回路を備える半導体装置。

【請求項7】 PMOSフィールドトランジスタとNMOSフィールドトランジスタが入力静電保護回路として用いられる静電保護回路を備える半導体装置において、前記NMOSフィールドトランジスタの周囲にnウェルガードリングが形成され、前記nウェルガードリングと前記PMOSフィールドトランジスタのnウェルがストラップされることを特徴とするESD素子を備える半導体装置。

【請求項8】 前記入力静電保護回路を使用する半導体装置において接地線のゲートダイオードトランジスタと、電源線のゲートダイオードトランジスタと、入力パッドの抵抗との群の中から一つ或いはそれらの組合で構成されることを特徴とする請求項7記載の静電保護回路を備える半導体装置。

【請求項9】 前記NMOSフィールドトランジスタはトリプルウェル構造の場合にRMOSフィールドトランジスタで形成されることを特徴とする請求項7記載の静電保護回路を備える半導体装置。

【請求項10】 前記nウェルガードリングはn⁺拡散層で形成されることを特徴とする請求項7記載の静電保

護回路を備える半導体装置。

【請求項11】 前記nウェルガードリングと前記PMOSTランジスタのnウェルはメタルストラップされることを特徴とする請求項7記載の静電保護回路を備える半導体装置。

【請求項12】 前記メタルは多結晶シリコン及びポリサイドとして用いられるか、或いは前記多結晶シリコン及びポリサイドをバッファとして使用した後でメタルとして用いられることを特徴とする請求項11記載の静電保護回路を備える半導体装置。

【請求項13】 PMOSフィールドトランジスタとNMOSフィールドトランジスタを入力静電保護回路として用いる半導体装置において、前記PMOSフィールドトランジスタの周囲にp⁺ガードリングを形成して前記p⁺ガードリングと前記NMOSフィールドトランジスタのp⁺ビックアップをストラップすることを特徴とする静電保護回路を備える半導体装置。

【請求項14】 前記入力静電保護回路を使用する半導体装置において接地線のゲートダイオードトランジスタと、電源線のゲートダイオードトランジスタと、入力パッドの抵抗との群れの中から一つ或いはそれらの組合で構成されることを特徴とする請求項13記載の静電保護回路を備える半導体装置。

【請求項15】 p型半導体基板に形成されたpウェル及びnウェルと、

前記pウェルに第1のゲート電極、第1のソース、第1のドレイン及びp⁺ビックアップを形成してなるNMOSTランジスタと、

前記nウェルに第2のゲート電極、第2のソース、第2のドレイン及びn⁺ビックアップを形成してなるPMOSTランジスタと、

前記pウェルの周辺に沿って形成されたnウェルガードリングと、

前記第1のドレイン及び前記第2のソースに連結された入出力パッドと、

前記第1のソース及び前記p⁺ビックアップに連結された接地電圧と、

前記接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPNPNパスが形成されるように前記nウェルガードリングと前記n⁺ビックアップをメタルストラップし、ストラップされた前記nウェルガードリングと前記n⁺ビックアップとともに前記第2のドレインに連結された電源電圧とを含んで構成されたことを特徴とする静電保護回路を備える半導体装置。

【請求項16】 前記NMOSTランジスタはプルダウンNMOSTランジスタであり、前記PMOSTランジスタはプルアップPMOSTランジスタであることを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項17】 前記NMOSTランジスタはNMOSフィールドトランジスタであり、前記PMOSTランジスタはPMOSフィールドトランジスタであることを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項18】 前記nウェルガードリングはメタルストラッピングをするためのn⁺拡散層が形成されることを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項19】 前記nウェルガードリングは前記nウェル形成工程時に形成することを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項20】 前記nウェルガードリングは前記nウェル形成工程と別途の工程でn⁺型不純物を注入して形成することを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項21】 前記nウェルガードリングは前記pウェルと前記nウェルが連結されるように形成されたことを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項22】 前記nウェルガードリングは前記nウェルと分離されるように形成されたことを特徴とする請求項15記載の静電保護回路を備える半導体装置。

【請求項23】 p型半導体基板に形成されたrウェル、第1のnウェル及び第2のnウェルと、前記第1のウェルに形成される前記rウェルに第1のゲート電極、第1のソース、第1のドレイン及びp⁺ビickaップを形成してなるNMOSTランジスタと、前記第2のnウェルに第2のゲート電極、第2のソース、第2のドレイン及びn⁺ビickaップを形成してなるPMOSTランジスタと、前記rウェルの周辺に沿って形成されたnウェルガードリングと、前記第1のドレイン及び前記第2のソースに連結された入出力パッドと、前記第1のソース及び前記p⁺ビickaップに連結された接地電圧と、前記接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPNPNパスが形成されるように前記nウェルガードリングと前記n⁺ビickaップをメタルストラップし、ストラップされた前記nウェルガードリングと前記n⁺ビickaップとともに前記第2のドレインに連結された電源電圧とを含んで構成されることを特徴とする静電保護回路を備える半導体装置。

【請求項24】 前記NMOSTランジスタはブルダウンNMOSTランジスタであり、前記PMOSTランジスタはブルアップPMOSTランジスタであることを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項25】 前記NMOSTランジスタはNMOS

フィールドトランジスタであり、前記PMOSTランジスタはPMOSフィールドトランジスタであることを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項26】 前記nウェルガードリングはメタルストラッピングをするためのn⁺拡散層が形成されることを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項27】 前記nウェルガードリング及び第1のnウェルは前記第2のnウェル形成工程時に形成することを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項28】 前記nウェルガードリングは前記第2のnウェル形成工程と別途の工程でn⁺型不純物を注入して形成することを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項29】 前記nウェルガードリングは前記第1のnウェル/前記rウェルと前記第2のnウェルが連結されるように形成されたことを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項30】 前記nウェルガードリングは前記第2のnウェルと分離されるように形成されたことを特徴とする請求項23記載の静電保護回路を備える半導体装置。

【請求項31】 p型半導体基板に形成されたpウェル及びnウェルと、前記pウェルに第1のゲート電極、第1のソース、第1のドレイン及びp⁺ビickaップを形成してなるNMOSTランジスタと、前記nウェルに第2のゲート電極、第2のソース、第2のドレイン及びn⁺ビickaップを形成してなるPMOSTランジスタと、前記nウェルの周辺に沿って形成されたp⁺ガードリングと、前記第1のドレイン及び前記第2のソースに連結された入出力パッドと、前記第2のドレイン及び前記n⁺ビickaップに連結された電源電圧と、前記接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPNPNパスが形成されるように前記p⁺ガードリングと前記p⁺ビickaップをメタルストラップし、ストラップされた前記p⁺ガードリングと前記p⁺ビickaップとともに前記第1のソースに連結された接地電圧とを含んでなることを特徴とする静電保護回路を備える半導体装置。

【請求項32】 前記NMOSTランジスタはブルダウンNMOSTランジスタであり、前記PMOSTランジスタはブルアップPMOSTランジスタであることを特徴とする請求項31記載の静電保護回路を備える半導体装置。

【請求項33】 前記NMOSTランジスタはNMOSフィールドトランジスタであり、前記PMOSTランジスタはPMOSフィールドトランジスタであることを特徴とする請求項31記載の静電保護回路を備える半導体装置。

【請求項34】 前記p⁺ガードリングは前記pウェルと前記nウェルが連結されるように形成されたことを特徴とする請求項31記載の静電保護回路を備える半導体装置。

【請求項35】 前記p⁺ガードリングは前記pウェルと分離されるように形成されたことを特徴とする請求項31記載の静電保護回路を備える半導体装置。

【請求項36】 p型半導体基板に形成されたrウェル、第1のnウェル及び第2のnウェルと、前記第1のnウェルに形成される前記rウェルに第1のゲート電極、第1のソース、第1のドレイン及びp⁺ビッカップを形成してなるNMOSTランジスタと、前記第2のnウェルに第2のゲート電極、第2のソース、第2のドレイン及びn⁺ビッカップを形成してなるPMOSTランジスタと、前記第2のnウェルの周辺に沿って形成されたp⁺ガードリングと、前記第1のドレイン及び前記第2のソースに連結された入出力パッドと、前記第2のドレイン及び前記n⁺ビッカップに連結された電源電圧と、接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPNPNパスが形成されるように前記p⁺ガードリングと前記p⁺ビッカップをメタルストラップし、ストラップされた前記p⁺ガードリングと前記p⁺ビッカップとともに前記第1のソースに連結された接地電圧とを含んで構成されたことを特徴とする静電保護回路を備える半導体装置。

【請求項37】 前記NMOSTランジスタはブルダウンNMOSTランジスタであり、前記PMOSTランジスタはブルアップPMOSTランジスタであることを特徴とする請求項36記載の静電保護回路を備える半導体装置。

【請求項38】 前記NMOSTランジスタはNMOSフィールドトランジスタであり、前記PMOSTランジスタはPMOSフィールドトランジスタであることを特徴とする請求項36記載の静電保護回路を備える半導体装置。

【請求項39】 前記p⁺ガードリングは前記第1のnウェル/前記rウェルと前記第2のnウェルが連結され、前記p型基板と連結されるように形成されたことを特徴とする請求項36記載の静電保護回路を備える半導体装置。

【請求項40】 前記p⁺ガードリングは前記第1のnウェル及び前記rウェルと分離され、前記p型基板と連

結されるように形成されたことを特徴とする請求項36記載の静電保護回路を備える半導体装置。

【請求項41】 前記p⁺ガードリングは前記rウェルと前記第2のnウェルが連結され、前記第1のnウェルにより前記p型基板と分離されるように形成されたことを特徴とする請求項36記載の静電保護回路を備える半導体装置。

【請求項42】 前記p⁺ガードリングは前記rウェルと分離され、前記第1のnウェルによって前記p型基板と分離されるように形成されたことを特徴とする請求項36記載の静電保護回路を備える半導体装置。

【請求項43】 p型半導体基板に形成されたrウェル、第1のnウェル及び第2のnウェルと、前記第1のnウェルに形成される前記rウェルに第1のゲート電極、第1のソース、第1のドレイン及びp⁺ビッカップを形成してなるNMOSTランジスタと、前記第2のnウェルに第2のゲート電極、第2のソース、第2のドレイン及びn⁺ビッカップを形成してなるPMOSTランジスタと、前記第2のnウェルの周辺に沿って形成され、前記第1のnウェルによって前記p型基板と分離されたp⁺ガードリングと、前記第1のドレイン及び前記第2のソースに連結された入出力パッドと、前記第1のソースに連結された接地電圧と、前記接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPNPNパスが形成されるように前記p⁺ガードリングと前記p⁺ビッカップをメタルストラップし、ストラップされた前記p⁺ガードリングと前記p⁺ビッカップとともに第2のドレイン及び前記n⁺ビッカップに連結された電源電圧とを含んで構成されたことを特徴とする静電保護回路を備える半導体装置。

【請求項44】 前記NMOSTランジスタはブルダウンNMOSTランジスタであり、前記PMOSTランジスタはブルアップPMOSTランジスタであることを特徴とする請求項43記載の静電保護回路を備える半導体装置。

【請求項45】 前記NMOSTランジスタはNMOSフィールドトランジスタであり、前記PMOSTランジスタはPMOSフィールドトランジスタであることを特徴とする請求項43記載の静電保護回路を備える半導体装置。

【請求項46】 前記p⁺ガードリングは前記rウェルと前記第2のnウェルが連結されるように形成されたことを特徴とする請求項43記載の静電保護回路を備える半導体装置。

【請求項47】 前記p⁺ガードリングは前記rウェルと分離されるように形成されたことを特徴とする請求項43記載の静電保護回路を備える半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は静電保護回路(ESD protection circuit)を備える半導体装置に関し、特にnウェルガードリングまたはn⁺ガードリングをデータ入力バッファのNMOSフィールドトランジスタまたはデータ出力バッファのNMOSトランジスタの周囲に設け、nウェルガードリングまたはn⁺ガードリングをPMOSフィールドトランジスタのnウェルとPMOSTランジスタのnウェルにストラップ(strapping)させることにより、NMOSTランジスタとPMOSTランジスタのそれぞれのウェル間の抵抗を減少させてESD保護回路特性及びラッチアップ特性を向上させ、半導体素子の特性及び信頼性を向上させる技術に関する。

【0002】

【従来の技術】一般に、半導体素子が静電気放電に露出されると、内部回路が損傷を受けて素子が誤動作するか、或いは信頼性に問題が生ずる。このような内部回路の損傷は静電気放電の時、入力端子を介して注入された電荷が内部回路(internal circuit)を経て最終的に他の端子へ抜け出しながら生じさせるジュール(joule)熱により、ジャクションスパイク(junction spiking)、酸化膜亀裂(rupture)現象などを起すからである。

【0003】したがって、静電気放電時に注入された電荷が内部回路を介して抜け出す前、直ちに電源供給端子へ電荷を放電させることのできる静電保護回路を挿入すれば、静電気放電による半導体素子の損傷を防止することができる。

【0004】図1に示すように、入力ピンのESD保護回路としてNMOSとPMOSの2つのフィールドトランジスタを用いる場合と、図2のデータ出力ピンにおいて、データ出力ドライバとしてNMOSとPMOSを用いる場合があるが、2つの場合とも電源電圧V_{cc}と接地電圧V_{ss}との間にゲートダイオードを形成し、V_{ss}がポジティブモードの時、メインバイポーラトランジスタとして動作するNMOSの電流を分散させることにより、PMOSのp⁺拡散層からnウェルを介してV_{cc}とV_{ss}との間のバイポーラへ流れるパスであるPNPNパスを通して流れるようにしてESD保護回路の耐性を強化する方法が用いられている。

【0005】しかし、上述した従来の技術によるESD保護回路を備える半導体装置は、V_{cc}パワーラインの抵抗のために前記PNPNパスを通して充分電流が流れず、前記V_{cc}とV_{ss}との間のゲートダイオードのために別途のレイアウト面積が追加されるという問題点があった。

【0006】

【発明が解決しようとする課題】本発明はかかる従来の技術の問題点を解決するためのもので、その目的はラッチアップ防止用として用いられるnウェルガードリングまたはn⁺ガードリングをデータ入力バッファのNMO

Sフィールドトランジスタまたはデータ出力バッファのNMOSTランジスタの周囲に隣接して形成し、前記データ入力バッファの場合にはPMOSフィールドトランジスタ、データ出力バッファの場合にはPMOSTランジスタのnウェルに連結されるようにレイアウトした後、前記連結された2つのウェルにメタルを用いてストラップし、2つのウェル間の抵抗を減少させてESD保護回路の特性を向上させるESD保護回路を備える半導体装置を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明によるESD保護回路を備える半導体装置は、PMOSとNMOSをデータ出力ドライバのESD保護回路として用いる半導体装置において、前記NMOSの周囲にnウェルガードリングを形成し、前記nウェルガードリングと前記PMOSのnウェルをストラップすることを特徴とする。

【0008】また、上記の目的を達成するために、本発明によるESD保護回路を備える半導体装置は、PMOSフィールドトランジスタとNMOSフィールドトランジスタを入力ESD保護回路として用いる半導体装置において、前記NMOSフィールドトランジスタの周囲にnウェルガードリングを形成し、前記nウェルガードリングと前記PMOSフィールドトランジスタのnウェルをストラップすることを特徴とする。

【0009】また、上記の目的を達成するために、本発明によるESD保護回路を備える半導体装置は、PMOSフィールドトランジスタとNMOSフィールドトランジスタを入力ESD保護回路として用いる半導体装置において、前記PMOSフィールドトランジスタの周囲にp⁺ガードリングを形成し、前記p⁺ガードリングと前記NMOSフィールドトランジスタのp⁺ビックアップをストラップすることを特徴とする。

【0010】

【発明の実施の形態】以下、本発明を添付図面を参照して詳細に説明する。図3はデータ出力バッファのプルアップドライバとしてPMOSTランジスタを使用し、プルダウンドライバとしてNMOSTランジスタを使用する本発明の第1実施例によるESD保護回路図である。第1実施例による前記ESD保護回路は、図6に示すように、プルダウンドライバNMOSTランジスタAの周囲にnウェルガードリング6を形成し、nウェルガードリング6とプルアップドライバPMOSTランジスタBのnウェル3とを括って、図7に示すようにメタル5でストラップする。未説明符号1はゲート電極、2は素子分離領域、4はメタルコンタクトである。

【0011】上述において、プルダウンドライバNMOSTランジスタAの周囲のnウェルガードリング6はn⁺拡散層で形成し、トリプルウェル構造の場合にはプルダウンドライバNMOSTランジスタとしてRMOST

ランジスタを使用することができる。そして、前記メタルストラッピングは多結晶シリコンまたはポリサイド(polycide)をバッファとして形成した上で実施するか、或いは前記メタルストラッピングを前記多結晶シリコンまたはポリサイドで実施することができる。

【0012】図4はデータ出力バッファのプルアップドライバとしてPMOSTランジスタを使用し、プルダウンドライバとしてNMOSTランジスタを使用する本発明の第2実施例によるESD保護回路図であり、プルアップドライバPMOSTランジスタの周囲に p^+ ガードリングを形成し、 p^+ ガードリングとプルダウンNMOSTランジスタの p^+ ピックアップとを括ってメタルストラップする。

【0013】ここで、 p^+ ガードリングとプルダウンNMOSTランジスタの p^+ ピックアップを直接括らずに、メタルのみで連結してもよい。そして、前記メタルストラッピングは多結晶シリコンまたはポリサイドをバッファとして使用した後で実施するか、或いは多結晶シリコンまたはポリサイドを使用して実施することができる。

【0014】図8a乃至図8hは本発明の第3実施例によるそれぞれのESD保護回路図である。図8aはPMOSフィールドトランジスタとNMOSフィールドトランジスタから構成され、入力パッドから抵抗を介して V_{ss} 線にゲートダイオードトランジスタを接続し、 V_{cc} 線にもゲートダイオードトランジスタを接続する入力ESD保護回路図であり、図5に示すように、NMOSフィールドトランジスタAの周囲に n ウェルガードリング6を形成し、 n ウェルガードリング6をPMOSフィールドトランジスタBの n ウェル3と括って、図7に示すようにメタル5でストラップする。未説明符号1はゲート電極、2は素子分離領域、4はメタルコンタクトである。

【0015】ここで、NMOSフィールドトランジスタの周囲の n ウェルガードリング6を n^+ 拡散層で形成し、トリプルウェル構造の場合にはNMOSフィールドトランジスタAとしてRMOSフィールドトランジスタを使用することができる。そして、前記前記メタルストラッピングは多結晶シリコンまたはポリサイドをバッファとして形成した上で実施するか、或は前記メタルストラッピングを前記多結晶シリコンまたはポリサイドを用いて実施することができる。

【0016】図8bは図8aの入力ESD保護回路において V_{ss} 線に接続されているゲートダイオードトランジスタを取り除いた場合であり、図8cは V_{cc} 線に接続されたゲートダイオードトランジスタを取り除いた場合である。図8dは図8aの入力ESD保護回路であり、 V_{ss} 線のゲートダイオードトランジスタと、 V_{cc} 線のゲートダイオードトランジスタを取り除いた場合である。図8eは図8aの入力ESD保護回路において入力

パッドの抵抗を取り除いた場合である。図8fは図8aの入力ESD保護回路において V_{ss} 線のゲートダイオードトランジスタと入力パッドの抵抗を取り除いた場合であり、図8gは V_{ss} 線のゲートダイオードトランジスタと入力パッドの抵抗を取り除いた場合である。図8hは前記図8aの入力ESD保護回路でPMOSフィールドトランジスタとNMOSフィールドトランジスタのみを使用する場合である。

【0017】図9a乃至図9hは本発明の第4実施例によるそれぞれのESD保護回路図である。図9aはPMOSフィールドトランジスタとNMOSTランジスタから構成され、入力パッドから抵抗を経て V_{ss} 線にゲートダイオードトランジスタを接続し、 V_{cc} 線にもゲートダイオードトランジスタを接続する入力ESD保護回路を示す図であり、PMOSフィールドトランジスタの周囲に p^+ ガードリングを形成し、 p^+ ガードリングをNMOSフィールドトランジスタの p^+ ピックアップと括ってメタルストラップする。

【0018】ここで、トリプルウェル構造の場合にはNMOSフィールドトランジスタとしてRMOSフィールドトランジスタを使用することができる。そして、前記メタルストラッピングは多結晶シリコンまたはポリサイドをバッファとして形成した上で実施するか、或いは前記メタルストラッピングを前記多結晶シリコンまたはポリサイドを用いて実施することができる。

【0019】図9bは図9aの入力ESD保護回路において V_{ss} 線に接続されているゲートダイオードトランジスタを取り除いた場合であり、図9cは V_{cc} 線に接続されているゲートダイオードトランジスタを取り除いた場合である。図9dは図9aの入力ESD保護回路において V_{ss} 線のゲートダイオードトランジスタと V_{cc} 線のゲートダイオードトランジスタを取り除いた場合である。図9eは図9aの入力ESD保護回路において入力パッドの抵抗を取り除いた場合である。図9fは図9aの入力ESD保護回路において V_{ss} のゲートダイオードトランジスタと入力パッドの抵抗を取り除いた場合であり、図9gは V_{cc} 線のゲートダイオードトランジスタと入力パッドの抵抗を取り除いた場合である。図9hは図9aの入力ESD保護回路においてPMOSフィールドトランジスタとNMOSフィールドトランジスタのみを使用する場合である。

【0020】次に、前述した本発明の実施例を図10乃至図21に示す素子の断面図を参照して説明する。図10及び図11によれば、 p 型半導体基板10に p ウェル11及び n ウェル21を形成する。 p ウェル11に第1のゲート電極12、第1のソース13、第1のドレイン14及び p^+ ピックアップ15を形成してNMOSTランジスタを構成する。 n ウェル21に第2のゲート電極22、第2のソース23、第2のドレイン24、及び n^+ ピックアップ25を形成してPMOSTランジスタを

構成する。pウェル11の周辺に沿ってnウェルガードリング16を形成する。第1のドレーン14及び第2のソース23は入出力パッド(I/O PAD)に連結される。第1のソース13及びp+ビickaアップ15は接地電圧 V_{ss} に連結される。接地電圧がポジティブのモードで、PMOSTランジスタ側にPNPNパスが形成されるようにnウェルガードリング16とn+ビickaアップ25をメタルストラップし、ストラップされたnウェルガードリング16及びn+ビickaアップ25とともに第2のドレーン24のそれぞれは電源電圧 V_{cc} に連結される。

【0021】ここで、NMOSTランジスタはプルダウンNMOSTランジスタで、PMOSTランジスタはプルアップPMOSTランジスタであるか、或いはNMOSTランジスタはNMOSフィールドトランジスタで、PMOSTランジスタはPMOSフィールドトランジスタである。

【0022】nウェルガードリング16はメタルストラッピングをするためのn+拡散層17が形成される。また、nウェルガードリング16はnウェル21形成工程時に同時に形成するか、或いはnウェル21形成工程と別途の工程でn+型不純物を注入して形成する。nウェルガードリング16はpウェル11とnウェル21が連結されるように形成してもよく、nウェル21と分離されるように形成してもよい。

【0023】図12及び図13によれば、p型半導体基板30にrウェル39、第1のnウェル31及び第2のnウェル41を形成する。第1のnウェル31に形成されるrウェル39に第1のゲート電極32、第1のソース33、第1のドレーン34及びp+ビickaアップ35を形成してNMOSTランジスタを構成する。第2のnウェル41に第2のゲート電極42、第2のソース43、第2のドレーン44及びn+ビickaアップ45を形成してPMOSTランジスタを構成する。rウェル39の周辺に沿ってnウェルガードリング36を形成する。第1のドレーン34及び第2のソース43は入出力パッドに連結される。第1のソース33及びp+ビickaアップ35は接地電圧に連結される。接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPNPNパスが形成されるようにnウェルガードリング36とn+ビickaアップ45をメタルストラップし、ストラップされたnウェルガードリング36及びn+ビickaアップ45とともに第2のドレーン44のそれぞれは電源電圧に連結される。

【0024】ここで、NMOSTランジスタはプルダウンNMOSTランジスタで、PMOSTランジスタはプルアップPMOSTランジスタであるか、或いはNMOSTランジスタはNMOSフィールドトランジスタで、前記PMOSTランジスタはPMOSフィールドトランジスタである。

【0025】nウェルガードリング36はメタルストラッピングをするためのn+拡散層37が形成される。nウェルガードリング36及び第1のnウェル31は第2のnウェル41形成工程の時同時に形成される。nウェルガードリング36は第2のnウェル41形成工程と別途の工程でn+型不純物を注入して形成することができる。nウェルガードリング36は第1のnウェル/rウェル31及び39と第2nウェル41が連結されるように形成されるか、或いは第2のnウェル41と分離されるように形成される。

【0026】図14及び図15によれば、p型半導体基板50にpウェル51及びnウェル61を形成する。pウェル51に第1のゲート電極52、第1のソース53、第1のドレーン54及びp+ビickaアップ55を形成してNMOSTランジスタを構成する。nウェル61に第2のゲート電極62、第2のソース63、第2のドレーン64及びn+ビickaアップ65を形成してPMOSTランジスタを構成する。nウェル61の周辺に沿ってp+ガードリング66を形成する。第1のドレーン54及び第2のソース63は入出力パッドに連結される。第2のドレーン64及びn+ビickaアップ65は電源電圧に連結される。接地電圧がポジティブのモードで、PMOSTランジスタ側にPNPNパスが形成されるようにp+ガードリング66とp+ビickaアップ55をメタルストラップし、ストラップされたp+ガードリング66及びp+ビickaアップ55とともに第1のソース53が接地電圧に連結される。

【0027】ここで、NMOSTランジスタはプルダウンNMOSTランジスタで、PMOSTランジスタはプルアップPMOSTランジスタであるか、或いはNMOSTランジスタはNMOSフィールドトランジスタで、PMOSTランジスタはPMOSフィールドトランジスタである。

【0028】p+ガードリング66はpウェル51とnウェル61が連結されるように形成されるか、或いはpウェル51と分離されるように形成される。

【0029】図16乃至図19によれば、p型半導体基板70にrウェル79、第1のnウェル71及び第2のnウェル81を形成する。第1のnウェル71に形成されるrウェル79に第1のゲート電極72、第1のソース73、第1のドレーン74、及びp+ビickaアップ75を形成してNMOSTランジスタを構成する。第2のnウェル81に第2のゲート電極82、第2のソース83、第2のドレーン84及びn+ビickaアップ85を形成してPMOSTランジスタを構成する。第2のnウェル81の周辺に沿ってp+ガードリング86を形成する。第1のドレーン74及び第2のソース83は入出力パッドに連結される。第2のドレーン84及びn+ビickaアップ85は電源電圧に連結される。接地電圧がポジティブのモードで、前記PMOSTランジスタ側にPN

PNバスが形成されるようにp⁺ガードリング86とp⁺ビックアップ75をメタルストラップし、ストラップされたp⁺ガードリング86及びp⁺ビックアップ75とともに第1のソース73は接地電圧に連結される。

【0030】ここで、NMOSTランジスタはプルダウンNMOSTランジスタで、PMOSTランジスタはプルアップPMOSTランジスタであるか、或いはNMOSTランジスタはNMOSフィールドトランジスタで、PMOSTランジスタはPMOSフィールドトランジスタである。

【0031】p⁺ガードリング86は第1のnウェル／rウェル71及び79と第2のnウェル81が連結され、p型基板70と連結されるように形成されるか、或いは第1のnウェル71及びrウェル79と分離され、p型基板70と連結されるように形成されるか、或いはrウェル79と第2のnウェル81が連結され、第1のnウェル71によってp型基板70と分離されるように形成されるか、或いはrウェル79と分離され、第1のnウェル71によってp型基板70と分離されるように形成される。

【0032】図20及び図21によれば、p型半導体基板90にrウェル99、第1のnウェル91及び第2のnウェル101を形成する。第1のnウェル91に形成されるrウェル99に第1のゲート電極92、第1のソース93、第1のドレイン94及びp⁺ビックアップ95を形成してNMOSTランジスタを構成する。第2のnウェル101に第2のゲート電極102、第2のソース103、第2のドレイン104及びn⁺ビックアップ105を形成してPMOSTランジスタを構成する。p⁺ガードリング106は第2のnウェル101の周辺に沿って形成し、第1のnウェル91によってp型基板90と分離される。第1のドレイン94及び第2のソース103は入出力パッドに連結される。第1のソース93は接地電圧に連結される。接地電圧がポジティブモードのモードで、PMOSTランジスタ側にPNPNバスが形成されるようにp⁺ガードリング106とp⁺ビックアップ95をメタルストラップし、ストラップされたp⁺ガードリング106及びp⁺ビックアップ95とともに第2のドレイン104及びn⁺ビックアップ105のそれぞれは電源電圧に連結される。

【0033】ここで、NMOSTランジスタはプルダウンNMOSTランジスタで、PMOSTランジスタはプルアップPMOSTランジスタであるか、或いはNMOSTランジスタはNMOSフィールドトランジスタで、PMOSTランジスタはPMOSフィールドトランジスタである。

【0034】p⁺ガードリング106はrウェル99と第2のnウェル101が連結されるように形成されるか、或いはrウェル99と分離されるように形成される。

【0035】

【発明の効果】以上説明したように、本発明によるESD素子を備える半導体装置は、CMOS構造のデータ出力ドライバの半導体集積回路のESD保護回路において、NMOSTランジスタの周囲にnウェルガードリングを配置し、これをPMOSTランジスタのnウェルと括って、V_{ss}がポジティブのモードで、PMOSTランジスタ側にPNPNバスを形成して既存のV_{cc}とV_{ss}との間のダイオードを代置することによりレイアウト面積を減少させ、それによる半導体素子の特性及び信頼性を向上させるという利点がある。

【図面の簡単な説明】

【図1】従来の技術によるESD保護回路図である。

【図2】従来の技術によるESD保護回路図である。

【図3】本発明の第1実施例によるESD保護回路図である。

【図4】本発明の第2実施例によるESD保護回路図である。

【図5】本発明によるESD保護回路のレイアウト図である。

【図6】本発明によるESD保護回路のレイアウト図である。

【図7】本発明によるESD保護回路のレイアウト図である。

【図8】図(a)乃至図(h)は本発明の第3実施例によるそれぞれのESD保護回路図である。

【図9】図(a)乃至図(h)は本発明の第4実施例によるそれぞれのESD保護回路図である。

【図10】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図11】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図12】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図13】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図14】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図15】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図16】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図17】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図18】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図19】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図20】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

【図21】本発明の実施例によるESD保護回路素子を説明するための素子の断面図である。

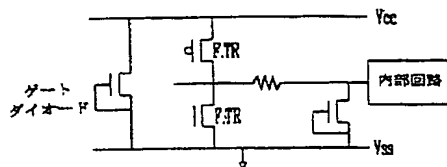
【符号の説明】

- 1 ゲート電極
2 素子分離領域
3 nウェル
4 メタルコンタクト
5 メタル
6 nウェルガードリング
A NMOSTランジスタ
B PMOSTランジスタ

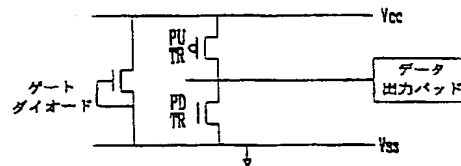
- 10、30、50、70、90 p型半導体基板
11、51 pウェル
31、71、91 第1のnウェル
12、32、52、72、92 第1のゲート
13、33、53、73、93 第1のソース

- 14、34、54、74、94 第1のドレイン
15、35、55、75、95 p⁺ビックアップ
16、36 nウェルガードリング
17、37 n⁺拡散層
16、36 nウェルガードリング
17、37 n⁺拡散層
39、79、99 rウェル
21、61 nウェル
41、81、101 第2のnウェル
22、42、62、82、102 第2のゲート
23、43、63、83、103 第2のソース
24、44、64、84、104 第2のドレイン
25、45、65、85、105 n⁺ビックアップ
66、86、106 p⁺ガードリング

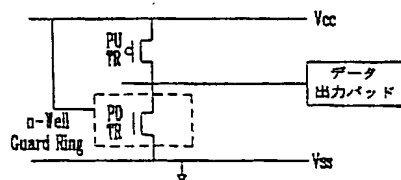
【図1】



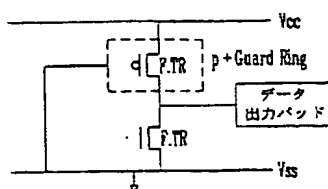
【図2】



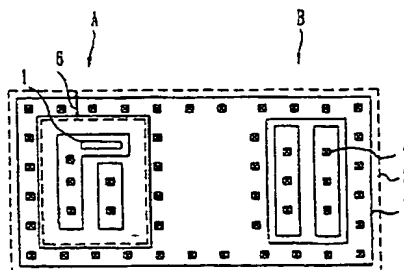
【図3】



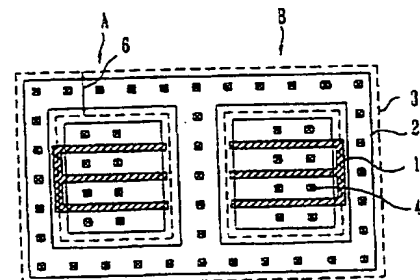
【図4】



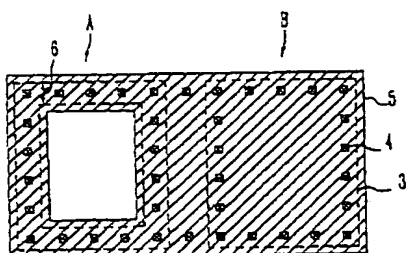
【図5】



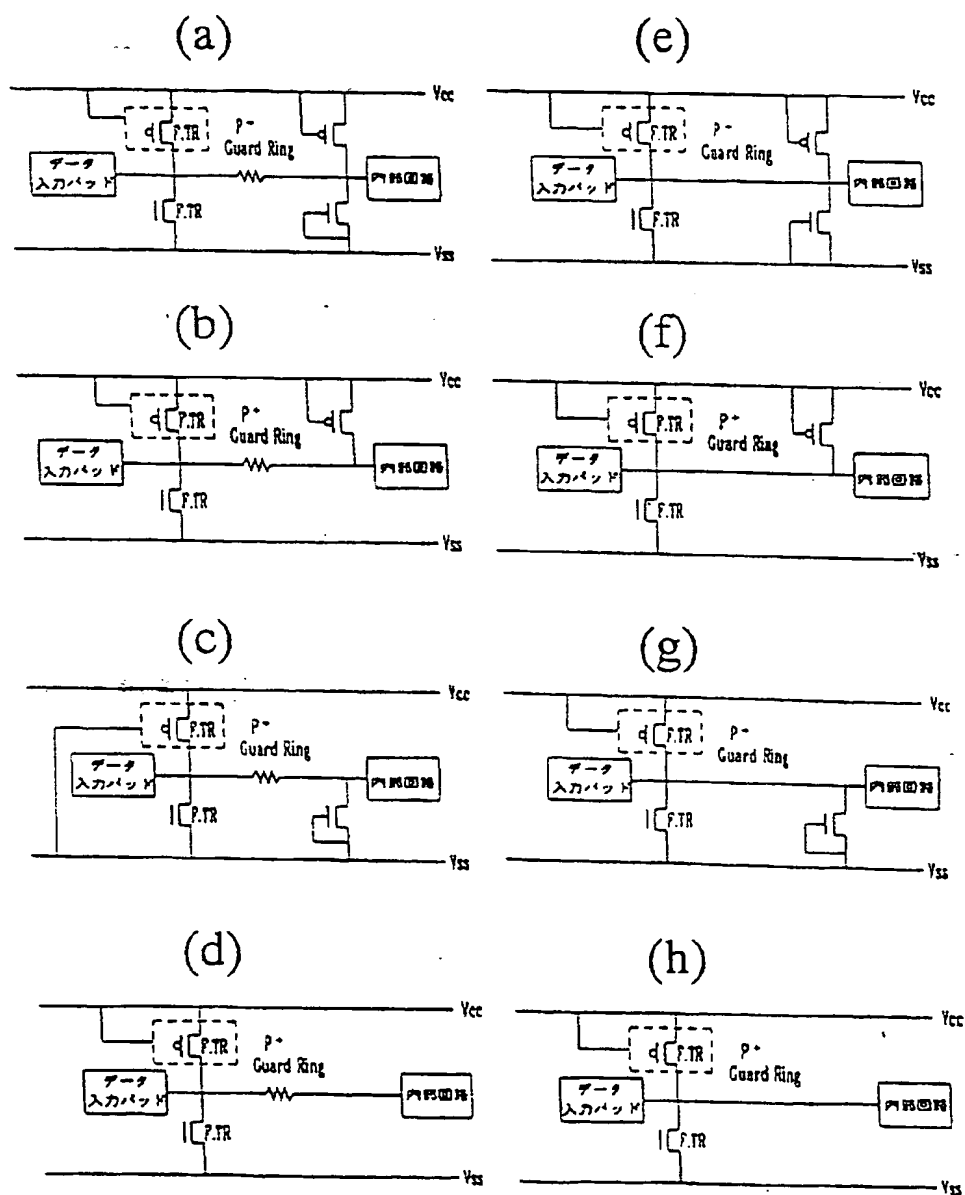
【図6】



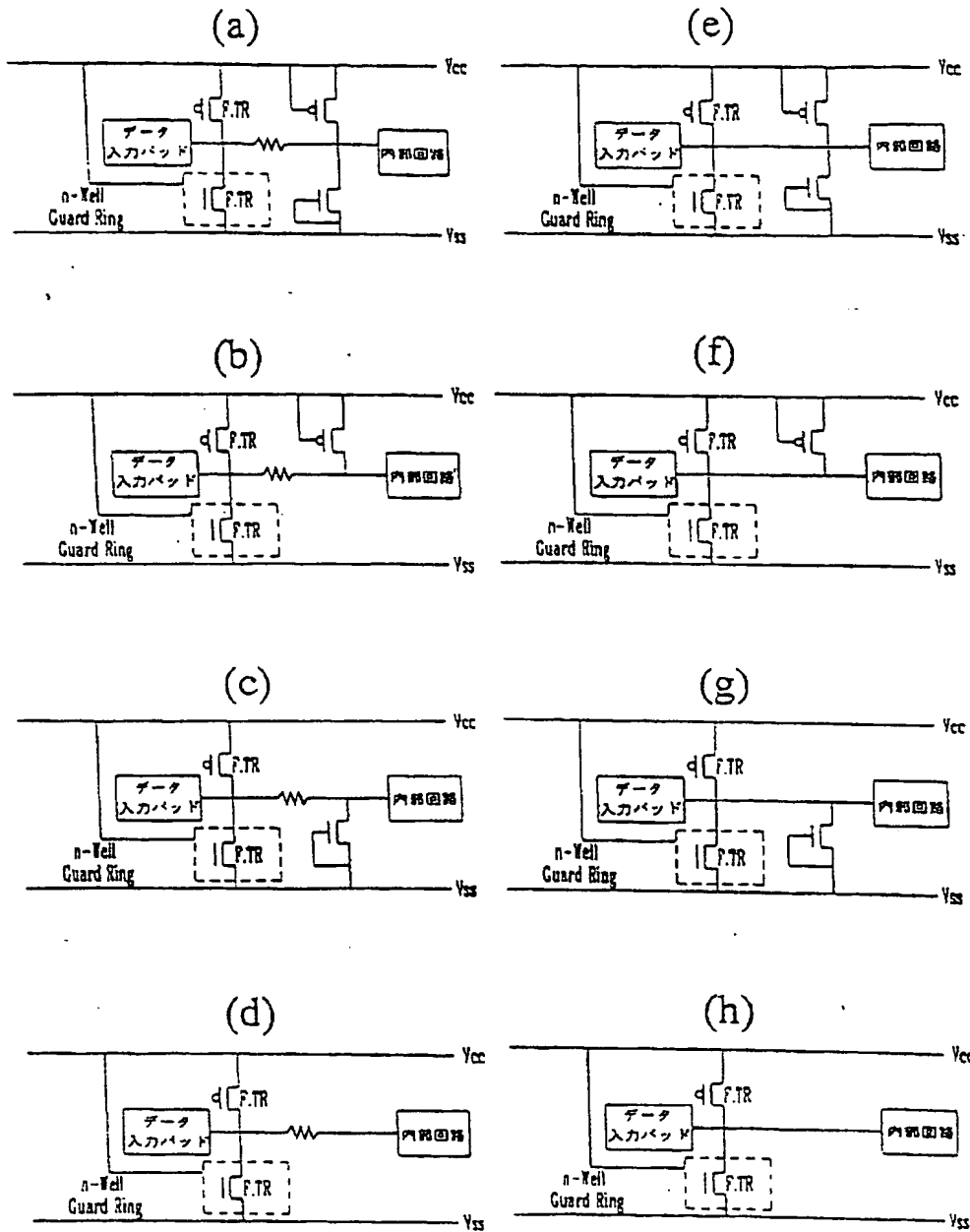
【図7】



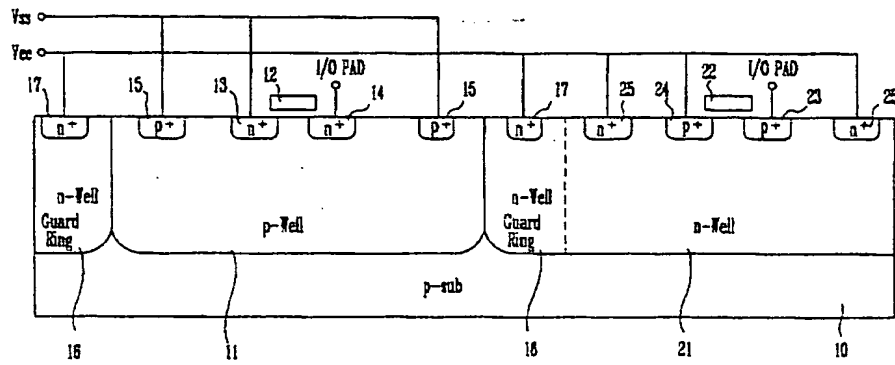
【図8】



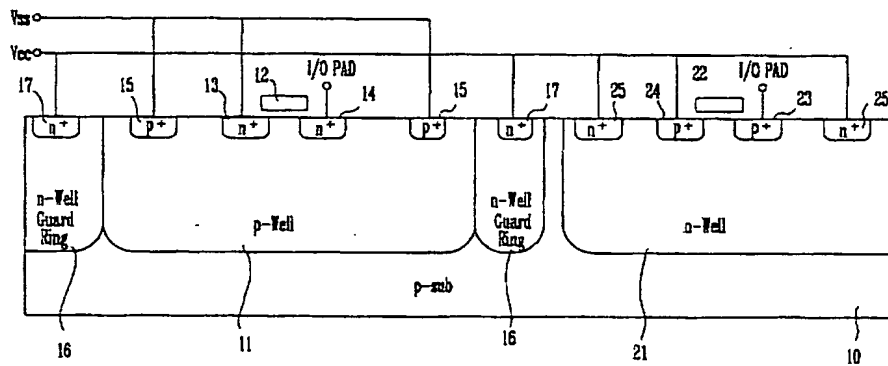
【図9】



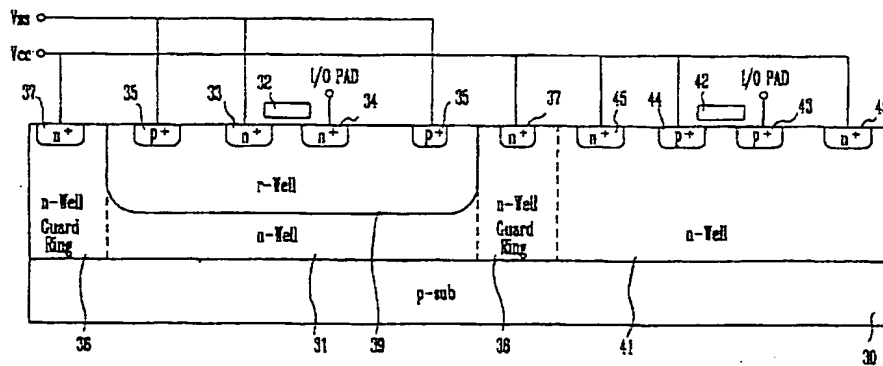
【図10】



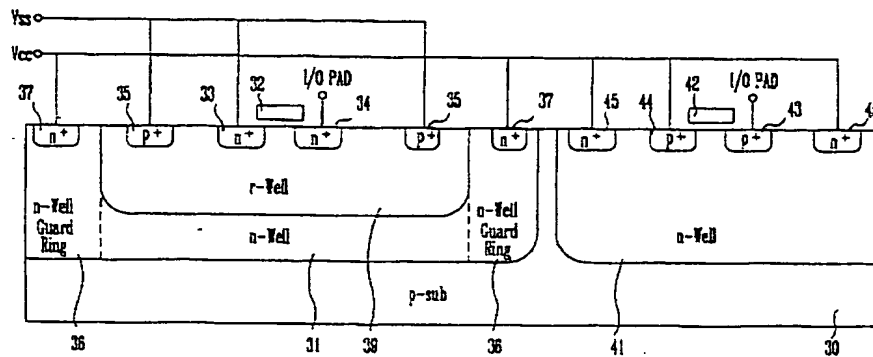
【図11】



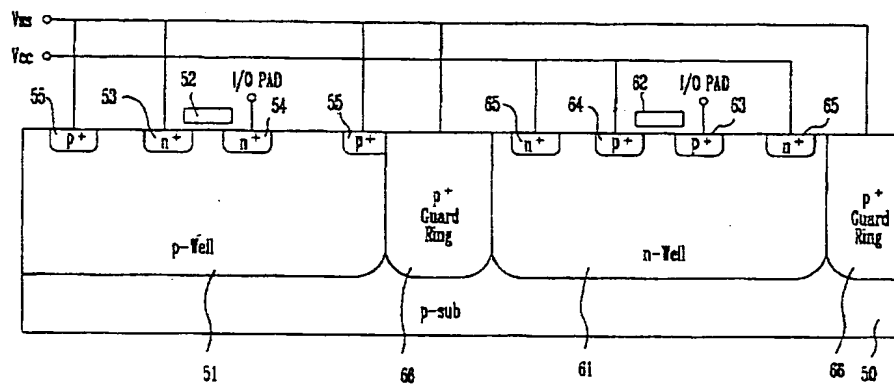
【図12】



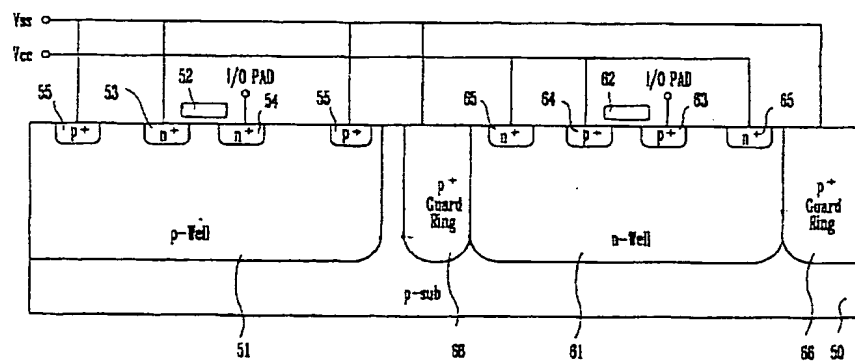
【図13】



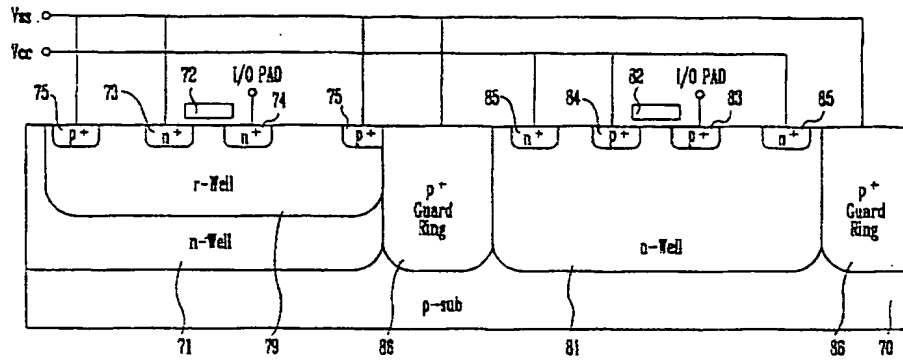
【図14】



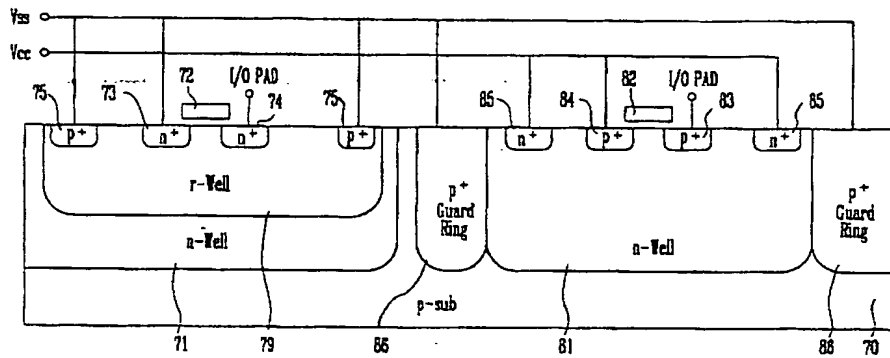
【図15】



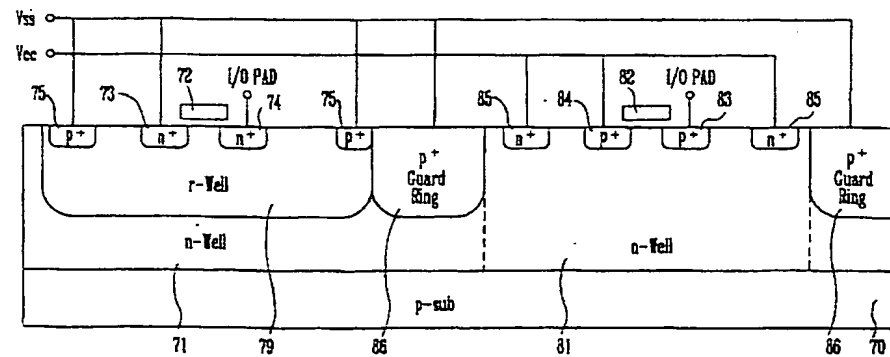
【図16】



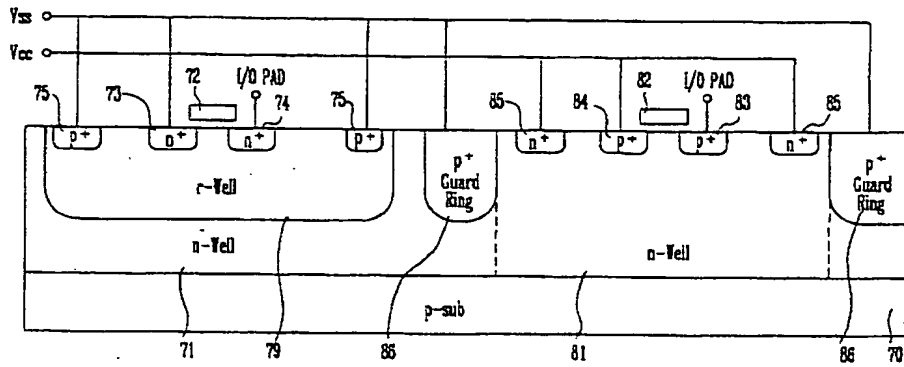
【図17】



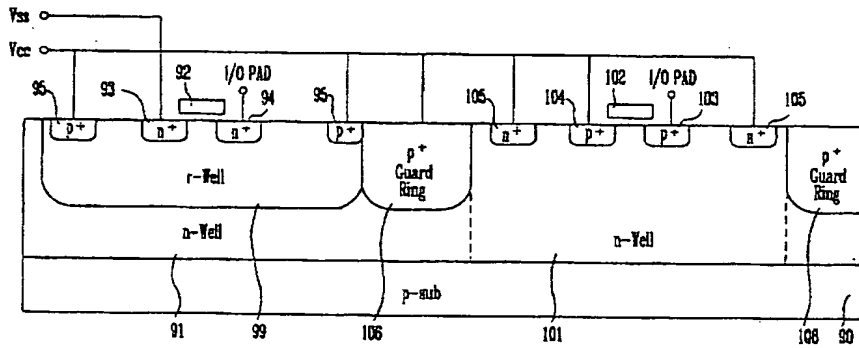
【図18】



【図19】



【図20】



【図21】

